

P 2 5 6 4 4 - 0 1

デジタルPLL装置およびそれを用いたデジタルPBX
(Digital PLL Device and Digital PBX using the same)

5

発明の属する技術分野 (FIELD OF THE INVENTION)

本発明は、障害発生時に生じる出力クロック信号の周波数変動を抑圧することが可能なデジタルPLL (Phase Locked Loop) 装置、およびデジタルPBX (private branch exchange) に関するものである。

10 発明の背景 (BACKGROUND OF THE INVENTION)

従来より、デジタル同期網において、高信頼度のクロック信号を確保するため、図10に示すようなデジタルPLL装置が用いられる。図10に示す従来のデジタルPLL装置では、セレクタ1と、位相比較器2と、ディジタルVCO (D-VCO) 5と、ループフィルタ6と、制御部7が構成されている。

15 例えば、デジタルPBXにおいて、プライマリマスタとしてのメインカードおよび他のI/Oカード等に、タイミング信号発生のためのデジタルPLL装置が組み込まれている。この場合、このデジタルPLL装置は、プライマリマスタから第1の同期タイミング信号a、および第1の同期タイミング信号aが正常に受け取れなくなった場合に他のI/Oカード (セカンダリマスタ) から送られる第20 2の同期タイミング信号bを受ける。そして、何れかの同期タイミング信号がセレクタ1で選択され、同期タイミング信号dとして、位相比較器2へ送られる。

位相比較器2は、同期タイミング信号dと、D-VCOで生成されたクロックをループフィルタで分周した内部タイミング信号cとの位相を比較する。そして位相差に応じた信号である位相補正信号eがD-VCO 5に送られる。D-VCO 5はその位相差に対応した周波数のクロック信号を発生する。具体的には、25 内部タイミングの位相が進んだときは周波数を低くし、遅れたときは周波数を高くする。ループフィルタ6はD-VCO 5より送られてきたクロック信号を1/Nに分周して、内部タイミング信号を出力する。

このように、位相比較部 2、D-VCO 5、ループフィルタ 6 とで、デジタル PLL 回路が構成されている。

正常状態では、各 I/O カードは、メインカード（プライマリマスタ）より送られてきた第 1 の同期タイミング信号 a に同期したクロック信号 f をループフィルタ 6 で生成する。クロック信号 f は、出力端子より装置内の所要回路に供給される。

受信する第 1 の同期タイミング信号 a の断が発生すると、同期タイミング信号の断を検出した制御部 7 により、第 1 の同期タイミング信号 a から第 2 の同期タイミング信号 b に切り替えられる。以降、第 1 の同期タイミング信号 a が回復するまでの間、第 2 の同期タイミング信号に同期したクロック信号 f が生成される。

しかしながら、従来のデジタル PLL 装置においては、第 1 の同期タイミング信号に障害が発生し、第 1 の同期タイミング信号から第 2 の同期タイミング信号に切替える際、位相比較部 2 に入力される同期タイミング信号 d が瞬断する。この瞬断のため、クロック信号 f の周波数変動が起きる。

発明の概要 (SUMMARY)

本発明は上記従来の課題を鑑みたものであり、本発明のデジタル PLL 装置は、(1) 第 1 の同期タイミング信号または第 2 の同期タイミング信号の一方を選択して出力する第 1 のセレクタと、(2) 第 1 のセレクタによって選択された同期タイミング信号と内部同期タイミング信号との位相差を比較し、位相差に対応した位相補正データを出力する比較手段と、(3) 位相補正を行うためのホールドオーバーデータを出力するホールドオーバー制御手段と、(4) 比較手段より出力される位相補正データまたはホールドオーバー制御手段より出力されるホールドオーバーデータの一方を選択して出力する第 2 のセレクタと、(5) 第 2 のセレクタから出力されるデータに対応した周波数のクロック信号を生成するデジタル VCO と、(6) デジタル VCO より生成されたクロック信号から、内部同期タイミング信号を生成する手段とを有す。第 2 のセレクタは、ホールドオーバーモードが設定された時、ホールドオーバー制御手段の出力を選択する。

また本発明のデジタルP B Xは、(1)各種内外線インターフェースに対応した複数のI/Oカードと、(2)I/Oカードを制御するメインカードと、(3)メインカードと複数のI/Oカード間、及び複数のI/Oカード間のデータ通信、及び複数チャンネルのタイムスロットにより音声データを通信するためのバックボードとを備える。そしてメインカード及びI/Oカードの内マスターとなるカードは、

5 上記本発明のデジタルP L Lを内蔵する。

図面の簡単な説明 (BRIEF DESCRIPTION OF THE DRAWINGS)

図1は本発明の第1の実施例に於けるデジタルP L L装置のブロック図

10 図2は本発明の第2の実施例におけるデジタルP L L装置のホールドオーバー部のブロック図

図3は本発明の第2の実施例におけるデジタルP L L装置のホールドオーバー部のタイミング図

図4は本発明の第3の実施例におけるデジタルP L L装置のブロック図

15 図5は本発明の第4の実施例におけるデジタルP L L装置の位相比較部のブロック図

図6は本発明の第4の実施例におけるデジタルP L L装置の位相比較部のタイミング図

図7は本発明の第4の実施例における位相比較部の状態遷移図

20 図8は本発明の第4の実施例における位相比較部の同期／非同期判定例図

図9は本発明のデジタルP L L装置を組み込んだデジタルP B Xの構成図を示す。

図10は従来のデジタルP L L装置のブロック図

25 好ましい実施例の説明 (DESCRIPTION OF THE PREFERRED EMBODIMENTS)

以下、本発明の実施例について図1－9を参照しながら説明する。

(実施例1)

図1は本発明の実施例1におけるデジタルP L L装置のブロック図である。図

1において、第1のセクタ1は、デジタル同期網における同期タイミング切替時、第1の同期タイミング信号aから第2の同期タイミング信号bに切替える。位相比較器2は、第1のセクタ1から出力される同期タイミング信号dと内部タイミング信号cとの位相差を比較して、位相差に対応した位相補正值を出力する。5 ホールドオーバー部3は、同期タイミング信号を切替えるまでの間、高精度に位相補正を行う。すなわち、ホールドオーバー部3は、安定動作時点での前記位相比較器（以下、PCと略す）2の位相補正值を記憶しておく。そして、第1の同期タイミング信号aが障害になったときから、第2の同期タイミング信号bに切替えるまでの期間、ホールドオーバー動作を行う。

10 第2のセクタ4は、通常状態ではPC2からの位相補正值データを、ホールドオーバーモードではホールドオーバー部3からの位相補正值データを選択して、出力する。デジタルVCO（以下、D-VCOと略す）5は、第2のセクタ4のから出力信号eに対応した周波数のクロック信号を出力する。ループフィルタ6は、D-VCOより出力されたクロック信号の不要高調波やノイズを除去して、周波数の同期タイミング信号cを出力する。制御部7は、すべてのブロックに対して制御を行う。15

以上のように構成されたデジタルPLL装置について、その動作を説明する。デジタル同期網において、高信頼度のクロック信号を確保するため、プライマリマスタから第1の同期タイミング信号aが、セカンダリマスタから第2の同期タイミング信号bが送られてくる。第1の同期タイミング信号aが正常なときは、第1のセクタ1によって第1の同期タイミング信号aが選択され、位相比較器2へ送られる。位相比較器2は、第1のセクタ1より送られてきた同期タイミング信号d（ここでは第1の同期タイミング信号aに同じ）と、D-VCO5で生成されたクロックをループフィルタ6で分周した内部タイミング信号cとの20 位相を比較して、位相差に対応した信号を第2のセクタ4を介してD-VCO5に送る。25

D-VCO5は、位相比較器2より送られてきた信号eにより、内部タイミング信号の位相が進んだときは出力クロックの周波数を低くし、位相が遅れたとき

は周波数を高くする。ループフィルタ6は、D-VCO5の出力クロック信号を $1/N$ に分周することにより、内部タイミング信号cを生成する。またループフィルタ6は、D-VCO5より送られてきたクロック信号の不要高調波やノイズを除去する。

5 前述のプライマリマスタは、例えばデジタルPBXにおけるメインカードである。このメインカードおよび他のI/Oカード等に本実施例のデジタルPLL装置が組み込まれている場合、正常状態では各I/Oカードはメインカードからのタイミング信号を第1の同期タイミング信号aとして受け、それに同期したタイミング信号が生成される。すなわち、各カードにおいて、マスタより送られてきた同期タイミング信号に同期したクロック信号が、ループフィルタ6で生成されて、出力端子より当該カード内の所要回路に供給される。尚、同期タイミング信号はクロック信号とフレーム信号から成る。

10 メインカードに障害が起きて、第1の同期タイミング信号aが正常に受け取れなくなった場合に、あるI/Oカードがマスタを引き継ぐ。そして、各I/Oカードは、マスタを引き継いだI/Oカードが送り出す同期タイミング信号bに、切り換える処理を行う。この場合、切り換え処理が完了するまでの間ホールドオーバー動作が行われる。

15 ホールドオーバー部3は、安定動作時点での位相比較器2の位相補正值をホールドオーバー部3に記憶している。プライマリマスタより受信する第1の同期タイミング信号aに障害が発生した場合、障害が発生した時点から第2の同期タイミング信号bに切替えるまでの期間、セクタ4は、制御部7により制御され、ホールドオーバー部3の出力を選択する。ホールドオーバー部3は、安定動作時点で記憶した位相補正值を使って、高精度の位相補正を行なう。

20 その後、所定期間経つと、ホールドオーバー動作を終了させて、第2の同期タイミング信号bに同期させた同期タイミング信号を生成する。

以上のように、ホールドオーバー回路を用いて、第1の同期タイミング信号が障害になったとき、第1の同期タイミング信号から第2の同期タイミング信号に切替える際にホールドオーバー動作を行うので、位相比較器における第2の同期

タイミング信号とループフィルタから送られてくる内部比較タイミング信号との位相差を小さくすることができる。すなわち、ループフィルタ6から生成されるクロック信号fの変動を抑圧することができる。

5 (実施例2)

次に本発明におけるデジタルPLL装置の具体的な例を説明する。図2は本発明におけるホールドオーバー部のブロック図であり、図3は同ホールドオーバー部の動作を示すタイミング図である。図1、2、3を用いて以下にその動作を説明する。

10 デジタルPLL装置のホールドオーバー部3は、図2に示すように、フレームカウンタ11、パルス変換器13、アップダウンカウンタ12、メモリコントローラ14、メモリ15及びデコーダ16を有している。以上のように構成された回路について、その動作を説明する。

15 制御部7からフレーム・カウンタ11へ、何フレーム毎にメモリ15に補正値データを記憶するのかを設定する補正フレーム数設定データが設定される。本実施例においては3フレーム毎にメモリに記憶する。

位相比較器2からのU/D補正信号がアップダウンカウンタ12の加減算をコントロールする。また位相補正值がゼロの場合は加減算を禁止する。

20 また位相比較器2からの1フレーム毎の補正回数を表す補正量信号は、アップダウンカウンタでカウントされるパルスに変換するパルス変換器13に入力れる。補正回数に応じたパルス数がカウンタ12でカウントされる。

アップダウンカウンタ12はK（本実施例では、 $K=3$ ）フレーム単位でカウントを行う。

25 アップ・ダウンカウンタ12の計数データは、メモリ入力データとして、3フレーム毎にメモリ15に記憶される。メモリ15はリングバッファ構成であり、スタートアドレスから限られた容量を満たした場合はスタートアドレスから上書きを始め、この動作を繰り返す。

そして、同期タイミング信号に異常状態が発生した時点で、メモリコントロー

ラ14は、制御部7からのエラー信号を検出し、メモリ15へのデータの書き込みを中止し、リード動作に切り替る。このリード動作タイミングはフレーム・カウンタ11で設定された3フレーム毎にリードされる。デコード回路16は、メモリ15からの読み出したデータをデコードし、ホールドオーバU/D補正信号とホールドオーバ補正回数データを出力する(図3)。

ホールドオーバーモード時、D-VCOはこのホールドオーバU/D補正信号とホールドオーバ補正回数データに対応した周波数のクロックを出力する。

以上のように、補正值データを記憶する周期としてフレーム数をフレーム・カウンタ11に設定する。メモリ15に記憶する位相補正量を何フレーム毎に書き込むのかを、位相補正量の周期性を利用して設定、および制御することができる。よって、位相補正精度を保ちつつメモリー容量を削減することができる。

(実施例3)

図4は本発明のデジタルPLL装置の他の実施例を示すブロック図である。位相調整器8以外は実施例1のデジタルPLL装置と同様であるので説明は省略する。

次にその動作を説明する。第1の同期タイミング信号が障害になった場合、第1の同期タイミング信号aから第2の同期タイミング信号bに切替える際、事前に第2の同期タイミング信号bを第1の同期タイミング信号aに位相調整器8でエッジ同期をかけておくように動作する。この位相調整器8は第1のタイミング信号が安定に動作していることを制御部7からのステータス信号をもとに検知し、安定動作時に定期的エッジ同期をかけていくものである。例えば、エッジ同期は、第1の同期タイミング信号と第2の同期信号の位相が一致するように第2の同期タイミング信号を遅延することにより実現できる。

したがって、第1の同期タイミング信号が障害になった場合、同期タイミングを位相がずれることなく切替えることができる。

(実施例4)

次に本発明におけるデジタルPLL装置の位相比較部の具体的な例を説明する。
図5は位相比較部のブロック図であり、図6は同位相比較部の動作を示すタイミング図、図7は同位相比較部の状態遷移図、図8は同相比較部の位相補正值および同期／非同期判定例図である。

- 5 図5において、デジタルPLL装置の位相比較器2は、位相カウンタ21と、位相検出回路22と、周波数カウンタ23と、周波数検出回路24と、位相補正值検出回路25と、状態遷移検出回路26を有している。

変換器28は内部タイミング信号からフレーム信号を生成し、内部フレーム信号として出力する。変換器27は入来する同期タイミング信号dからフレーム信号を生成し、被比較フレーム信号として出力する。

10 位相カウンタ21と位相検出回路22は、内部タイミング信号から生成された内部フレーム信号と、同期タイミング信号dから生成された被比較フレーム信号との位相差を検出する。すなわち、位相カウンタ21は、内部フレーム信号の立ち上がり縁でリセットされ、システムクロックをn分周したクロックパルス
15 をカウントする。カウント値は、被比較フレーム信号の立ち上がりでラッチされる。(図6参照)。そのカウント値を基に、コンパレータで構成された位相検出回路22であらかじめ設定された被比較位相データとの比較により、同期／非同期状態を検出する。さらに同期状態の中でも位相状態が進み(B-), 遅れ(B+), 一致(B0)の3通りの状態を検出する(図8参照)。

20 次に位相補正精度を向上するために、前記位相条件に加えて周波数条件も検出する。そのために、周波数カウンタ23では被比較フレーム信号の周期をシステムクロックにてカウントする。周波数検出回路24は、そのカウント値より、理想的な周波数に対して低い、高い、一致の3通りの状態を検出する。

これら位相検出回路22と周波数検出回路24の状態検出結果より、位相補正
25 値検出回路25は、マイナス補正、プラス補正、補正なしの3通りの判定を1フレーム毎に行い、U/D補正信号として出力される(図8参照)。マイナス補正の判定は、内部フレーム信号の周期 T_c が被比較フレーム信号の周期 T_d より長いことが条件となる。またプラス補正の判定は、 T_c が T_d より短いことが条件で

ある。この位相判定動作を各フレーム毎に行い、次のフレームで位相補正を行なう。

以下、同位相比較部の状態遷移図である図7に沿って説明する。状態遷移検出回路26では位相検出回路22からの同期／非同期判定結果より同期状態を制御部7へ通知する。この状態遷移検出回路26では図7に示すように状態を検出する。非同期状態から同期を1回検出した場合、後方保護状態に状態遷移する。この後方保護状態で、m回同期を検出したら、同期状態に状態遷移する。しかし、1回でも非同期を検出した場合は非同期状態に状態遷移が戻る。そして、同期状態で非同期を1回検出した場合、前方保護状態に遷移する。前方保護状態で、n回非同期を検出した場合、非同期状態に状態遷移する。しかし、1回でも同期を検出した場合は、同期状態に遷移する。

同期から非同期に状態遷移したとき（いわゆる前方保護から非同期状態に状態遷移したとき）、PLLエラー信号を制御部7に通知する。また、位相検出回路22からの位相検出信号は、制御部7に出力される。この位相状態検出により、自動的に位相状態に応じて補正量を可変して位相追跡する。

以上のように同期タイミング信号dの位相条件、および前方保護、後方保護の条件から同期／非同期を自動判定する。それら位相条件に加えて周波数条件により、位相補正精度を向上させる。

本実施例4によれば、PLLの同期状態を詳細に検知することができ、位相補正精度が向上する。

（実施例5）

図5に示す位相比較器において、位相補正值検出回路25以外は実施例4記載のデジタルPLL装置と同様であるので説明は省略する。位相補正值検出回路25について、その動作を説明する。

デジタルPLL装置の位相比較器2において、同期タイミング信号dの位相検出回路22の出力信号に基づき、同期／非同期を判定する。そして、非同期と判定した場合、1フレーム期間に行う位相補正量を、制御部7の設定に基づき大き

くする。また同期と判定した場合、1フレーム期間に行う位相補正量を、制御部7の設定に基づき、小さくする。その結果、位相追跡速度を位相のズレの大きさに応じて自動的に可変することができる。

以上のように本実施例によれば、位相補正值検出回路25は、位相追跡速度を位相のズレの大きさに応じて自動的に、補正量信号により可変する。よって、固定補正と比較して高速に精度よく位相補正できる。

(実施例6)

図9に本発明のデジタルPLL装置を組み込んだデジタルPBXの構成図を示す。デジタルPBXは、全てのカードを制御するメインカード40、各種内外線インターフェースに対応した複数のI/Oカード41、各カード間のデータ通信や複数チャネルのタイムスロットにより音声データを通信するためのバックボード42、及び電源43で、構成されている。ここで、クロックマスタカードとなりうるカードは、メインカード40と、デジタルトランクカードであるI/Oカード41aである。クロックマスタカードとなり得ないカードは、I/Oカード41mである。メインカード40はデフォルトでプライマリマスタとなる。

メインカード40のDPLL装置(デジタルPLL装置)は、Master PLL回路とSlave PLL回路を備え、デジタル回線網からのクロックに対してMaster PLLとして動作し、8MHzのクロックと8kHzフレーム信号を生成する。これらクロックとフレーム信号はバックボード42の音声バスと内部インターフェースに出力される。

セカンダリマスタのI/Oカード41aもMaster PLL回路とSlave PLL回路を備え、デジタル回線網からのクロックに対してMaster PLL動作を行う。そして、プライマリマスタ(メインカード40)からの8kHzに同期した8MHzのクロックと8kHzフレーム信号をスタンバイクロックとして、バックボードの音声バスインターフェースに出力するとともに、プライマリマスタからの8MHzのクロックと8kHzフレーム入力信号に対してSlave PLL動作を行ない、内部インターフェースに出力する。

マスタとなり得ない I/Oカード 41m は、S l a v e P L L 回路を備え、プライマリマスタからの 8 M H z のクロックと 8 K H z フレーム入力信号に対して S l a v e P L L 動作を行ない、生成した信号を内部インターフェースに出力する。

5. そして出力回線断等によるクロック障害が発生した場合は、前述のホールドオーバー処理により、一時的な周波数変動を抑えたり、プライマリマスタからセカンダリマスタへの同期タイミング信号の切り替え等の障害対策を行う。

09075255 060704